

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—92162

⑬ Int. Cl.<sup>3</sup>  
H 04 L 7/02

識別記号

庁内整理番号  
7608—5K

⑭ 公開 昭和58年(1983)6月1日

発明の数 2  
審査請求 未請求

(全 6 頁)

⑮ タイミング位相制御方法及びその装置

⑯ 特 願 昭56—189305

⑰ 出 願 昭56(1981)11月27日

⑱ 発 明 者 国領賀郎

小平市御幸町32番地日立電子株  
式会社小金井工場内

⑲ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号

⑳ 出 願 人 日立電子株式会社  
東京都千代田区神田須田町1丁  
目23番2号

㉑ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 タイミング位相制御方法及びその  
装置

特許請求の範囲

1. 受信信号からタイミング信号成分を抽出し、  
そのタイミング信号成分の標本点と零クロス点を  
一定の位相関係とすることによつて信号処理装置  
のタイミング位相の制御を行なう方法において、  
上記タイミング信号成分を一定の位相量だけ移相  
シフトし、その位相シフトされた信号成分の零ク  
ロス点と上記タイミング信号成分の標本的が一致  
するように位相を制御するタイミング位相制御方  
法。

2. 第1項記載の位相制御方法において、上記移  
相シフトを上記タイミング信号成分をサンプリ  
ングし、そのサンプリング信号に第1の定数を掛け  
たものと上記サンプリング信号をサンプリング周  
期の整数倍遅延した信号に第2の定数を掛けたも  
のとを加算することによつて行なうことを特徴と  
するタイミング位相制御方法。

3. 受信信号からタイミング信号成分を抽出する  
タイミング成分抽出回路、上記タイミング信号成  
分をデジタル信号発振器の出力によつて標本化  
する標本化回路、上記標本化回路の出力信号を移  
相する移相回路、上記移相された信号の零クロス  
点を検出する検出回路、上記検出回路の出力によ  
つて上記デジタル信号発振器の位相を制御する  
制御回路とを具備してなることを特徴とするタイ  
ミング位相制御回路。

4. 第3項記載のタイミング位相制御回路におい  
て、上記位相回路は上記標本化回路の出力信号に  
第1の定数を掛ける第1の乗算回路と、上記標本  
化回路の出力信号を標本化周期の整数倍遅延する  
遅延手段と、上記遅延手段の出力に第2の定数を  
掛ける第2の乗算回路と、上記第1及び第2の乗  
算器の出力を加算する加算回路とからなるタイミ  
ング位相制御回路。

5. 第4項記載のタイミング位相制御回路におい  
て、上記第1及び第2の定数の少なくとも一方が  
1であるタイミング位相制御回路。

6. 第3項記載のタイミング位相制御回路において、上記検出回路は移相回路の出力を標本化周期で信号の極性を判別する符号識別回路からなり、上記デジタル信号発振器の位相を制御する制御回路は上記符号識別回路の出力を2値の信号にする量子化回路と上記量子化回路の出力を逆波するループフィルタと、上記ループフィルタの出力によつてパルス発振器の出力パルスのパルスを加減パルス付加除去回路で構成されたタイミング位相制御回路。

#### 発明の詳細な説明

本発明はタイミング位相制御方法、更に詳しく言えばデータモデム等において、受信変調信号からタイミング信号成分を抽出し、デジタル処理によつて、上記タイミング信号成分の位相と一定位相関係にあるタイミング信号を得る方法および装置に係る。

PSK変調や直交振幅変調等による変調信号を受信して、原信号(データ)を復調する場合には受信変調信号からタイミング信号成分を抽出し、

成する信号処理装置におけるタイミング信号の周波数との関係ではタイミング信号成分の零クロス点とサンプリング点で0でない一定の位相差を持つようにしなければならない場合がある。上記の場合に従来の零クロス点とサンプリング点を合する方法を適用するためには、サンプリング周波数を極めて高くしたり、サンプリング点間に内挿を行なう必要がある。しかし、デジタル処理回路

ではサンプリング毎に処理を行なうので、サンプリング周波数を増すことは望ましくない。例えばマイクロ・プロセッサ等で処理する場合、処理速度の関係で不都合をきたす。又内挿を行なう場合も同様にデジタル処理量を増して望ましくない。

したがつて、本発明の目的は、サンプリング周波数を高くすることなく、抽出されたタイミング信号の零クロス点が処理回路のタイミング信号あるいはサンプリング点と一定の位相差を有するようなタイミング位相制御方法を実現することである。

本発明は上記目的を達成するため、タイミング

そのタイミング成分と一定の位相関係のタイミング信号によつて復調回路を駆動する必要がある。

近時これらの復調装置は従来のアナログ回路からデジタル回路で構成するようになりつつあるがデジタル回路で、上記タイミング位相制御を行なうためには、デジタル回路のタイミング信号とタイミング信号成分の標本化位相が一定となることが必要である。

従来、デジタル回路で上述のようなタイミング位相制御を行なう方法としては受信変調信号からタイミング信号成分を抽出し、これを一定の標本化周波数でサンプリングし、そのサンプリングされたタイミング信号成分のサンプル値が零又は零近傍となる位相を検出し、信号処理回路のタイミング信号が上記サンプル値が零となる時点(零クロス点と呼ぶ)と一致するようにタイミング位相の制御を行なっていた。すなわち、上記サンプル時点が抽出されたタイミング信号成分の零クロス点と一致するように位相制御されていた。

しかしながら、変調信号の周波数と復調器を構

造する信号処理装置におけるタイミング信号の周波数との関係ではタイミング信号成分の零クロス点とサンプリング点で0でない一定の位相差を持つようにしなければならない場合がある。上記の場合に従来の零クロス点とサンプリング点を合する方法を適用するためには、サンプリング周波数を極めて高くしたり、サンプリング点間に内挿を行なう必要がある。しかし、デジタル処理回路ではサンプリング毎に処理を行なうので、サンプリング周波数を増すことは望ましくない。例えばマイクロ・プロセッサ等で処理する場合、処理速度の関係で不都合をきたす。又内挿を行なう場合も同様にデジタル処理量を増して望ましくない。

したがつて、本発明の目的は、サンプリング周波数を高くすることなく、抽出されたタイミング信号の零クロス点が処理回路のタイミング信号あるいはサンプリング点と一定の位相差を有するようなタイミング位相制御方法を実現することである。

以下実施例によつて本発明を詳細に説明する。

第1図は本発明によるタイミング位相制御方法を

実施した、データモデムの位相制御部の構成を示す。

入力端子1に加えられる受信変調(例えば直交振幅変調)信号は第1のサンプリング回路3でサンプリングされ、アナログデジタル(A/D)変換回路及び復調器4でデジタル化されたベースバンドの信号に変換され、その一部は自動等化器16、出力端子を介して復号回路(図示せず)の信号処理回路に加えられる。

又、A/D変換回路及び復調器4の出力の一部はタイミング信号成分抽出回路5に加えられる。この回路5はデジタル狭帯域フィルタ等によって構成され、データ(情報)信号成分からタイミング信号Xを抽出するためのもので、一般に知られている回路(例えば、LE. FRANK「Carrier and Bit Synchronization in Data Communication - A Tutorial Review」IEEE trans on Commun. Vol. COM-28, No-8 Aug. 1980)が使用される。抽出されたタイミング信号成分は移相シ

フト回路6に加えられる。移相シフト回路は本発明実施の要部をなすものでタイミング信号成分を入力とし、タイミング信号成分Xの零クロス点が次に述べる第2のサンプリング回路7のサンプリング点と一致するような位相に移相する。この回路については後に更に詳細に説明する。第2のサンプリング回路はタイミング信号成分の周波数と等しい周波数で、上記移相回路の出力信号をサンプリングする回路である。符号識別回路8は2値量子化回路8と共にサンプル値の極性をタイミング信号成分の同一周期単位で調べ、2値レベルの信号に変換し、ループフィルタ11に加えて、デジタルVCOの制御信号とする。もし、ループフィルタ11の出力が0となれば移相回路6の出力の零クロス点は第2のサンプリング回路のサンプル点と一致していることになり、又その正、負によつて、デジタルパルス発振器15からのパルスをパルス付加除去回路13でパルスを付加したり、削除したりする。分周器12によつて分周すると所定の位相制御されたサンプリングパルス

が発生し、一部は第1のサンプリング回路のサンプル時点あるいは等化器16に使用されるタイミング時点を決し、1部は更に分周器10によつてカウントダウンして第2のサンプリング回路7のサンプリング点を決定する。具体的に周波の関係を示せば、タイミング信号成分の周波数1.6 KHz、発振器14の周波数1 MHz、分周器12の出力の周波数9.6 KHz、分周器10の出力の周波数1.6 KHzである。

第3図は上記移相回路6の構成を示す図で、タイミング信号成分抽出回路5からの出力信号X、の一部は乗算器17で定数 $k_1$ が乗せられ、又出力信号 $X_{n+1}$ の他の一部はサンプリング周期に等しい遅延時間Tを有する遅延素子18で遅延を受けた後、乗算器20で定数 $k_2$ が乗せられる。2つの乗算器の出力は加算器19で加算され信号 $Y_n$ となる。

サンプリング回路6の出力信号であるサンプル信号 $X_n$ は正弦波であり

$$X_n = A \cos(n\omega T) \quad \dots\dots\dots (1)$$

で表わされる。ここで、 $n$ はサンプルの順を示す整数、 $A$ は定数、 $\omega$ はタイミング信号成分の角周波数である。

同様に遅延素子18の出力 $X_{n+1}$ は

$$X_{n+1} = A \cos\{(n+1)\omega T\} \quad \dots\dots\dots (2)$$

となる。加算器19の出力 $Y_n$ は

$$\begin{aligned} Y_n &= k_1 X_n + k_2 X_{n+1} \\ &= k_1 A \cos(n\omega T) + k_2 A \cos\{(n+1)\omega T\} \\ &= A[k_1 \cos(n\omega T) + k_2 \cos\{(n+1)\omega T\}] \\ &= A \sqrt{(k_1 + k_2 \cos T)^2 + k_2^2 \sin^2 T} \\ &\quad \times \cos(n\omega T + \tan^{-1} \frac{k_2 \sin T}{k_1 + k_2 \cos T}) \\ &= A' \cos(n\omega T + \varphi) \quad \dots\dots\dots (3) \end{aligned}$$

となり、タイミング抽出成分を $\varphi$ だけ移相した信号となる。

$$\text{ここで } A' = A \sqrt{(k_1 + k_2 \cos T)^2 + k_2^2 \sin^2 T}$$

$$\varphi = \tan^{-1} \frac{k_2 \sin T}{k_1 + k_2 \cos T}$$

したがって、 $Y_n$ が0になるようにサンプリング

タイミングの位相制御を、符号識別回路8、2値量子化回路9、ループ、フィルタ11、パルス付加除去回路13、分周器13、10および第2のサンプリング回路7の位相制御ループによつて制御を行なえば、入力信号のタイミング成分のゼロクロス点とサンプル点との関係は第4図に示すように相異なるサンプル時点 $t_1$ 、 $t_2$ 、 $t_3$ の間に位相 $\phi$ をなす所にゼロクロス点が来るように設定できる。 $T$ はサンプリング周波数によつて決まり、これを決定すれば一義的に決まるので、定数 $k_1$ 、 $k_2$ によつて希望の位相差 $\phi$ にすることができ、つまり、サンプリング点以外にタイミング信号成分のゼロクロス点がある場合に、その位相でタイミング信号の位相の制御ができるのである。

また、本実施例では遅延回路の遅延時間をサンプリング間隔 $T$ としたが、特に $T$ である必要はなく、整数倍であつても同様である。

第1の定数 $k_1$ が1の場合には乗算回路9は不要となり、第5図に示すような構成でよい。

更に、第2の定数 $k_2$ が1の場合、あるいは第

入出力装置(I/O)(図示せず)を介して、上記サンプリング回路6、符号識別回路8に結合し、第10図のフローチャートに示すような処理を行なう。すなわち、サンプリング回路6からの原本値をI/Oを介して、RAM23に、周期 $T$ 間隔もしくはそれ以下で順次格納する。上記RAM23からの原本値 $X_{n-1}$ および $X_n$ 、ならびにROM24の中に格納された定数 $k_1$ および $k_2$ をフローチャートに示すような処理をプログラムを $T$ 秒間隔で実行することによつて上記(3)式の演算が $T$ 秒毎に行なわれることは明らかである。なお、上記乗算器25、加算器26を除きマイクロプロセッサ22が高速動作が可能ときはソフトウェアによつてプログラムによつて実現できる。

以上実施例によつて説明したように、本発明ではサンプリングされた信号を単なる乗算と加算によつて、移相するために、サンプリング点とタイミング信号の成分のゼロクロス点を一定の位相関係に設定できるのでサンプリング周波数を上げる必要がない。また、内挿による膨大な処理量が増す

1の定数 $k_1$ 、第2の定数 $k_2$ がともに1の場合には、第6図、第7図に示すような構成でよい。

また、サンプリング点とゼロクロス点との位相が同じ場合には、第3図に示した構成のうち第2の定数 $k_2$ を0にすればよい。

第8図は上記移相回路7部の他の実施例の構成を示すもので、第3図に示した実施例の遅延素子の代りに同一分周比で位相差が時間 $T$ 異なる分周器10-1および10-2によつてタイミング信号抽出回路5の出力をそれぞれサンプリング回路6-1および6-2によつてサンプリングしたものである他の部分は前述した同一番号を付したものと同一の構成である。

以上の実施例は本発明実施の専用回路で構成した場合を示したが、デジタル回路で構成するため、いわゆるマイクロコンピュータのような信号処理回路で上記移相処理を行なうことができる。すなわち、第9図に示すように、コモンバス21を介してマイクロプロセッサ22、RAM23、ROM24、乗算器25および加算器を結合し、

こともない。更に処理量が多くできない場合に、多少の位相差を容認し、性能の劣化を誘因していたが、そのような性能の劣化もない。

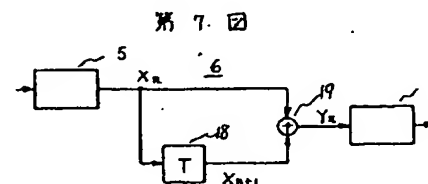
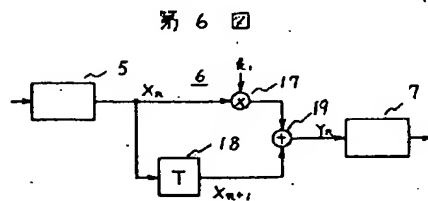
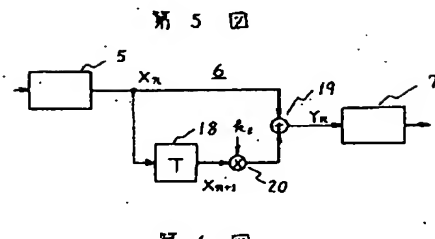
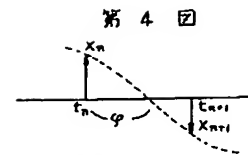
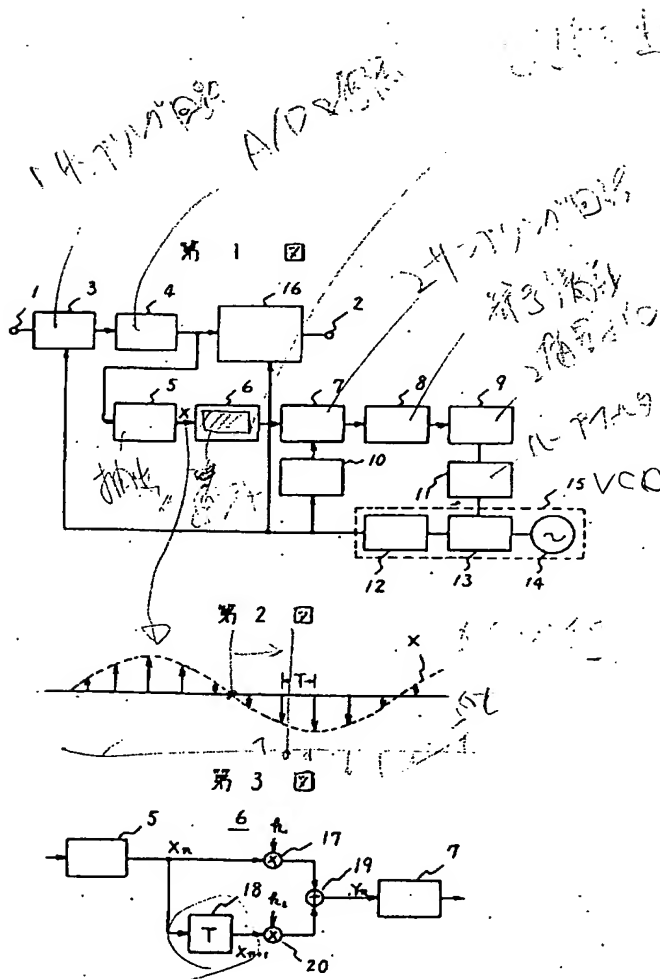
また、 $k_1$ 、 $k_2$ の値を正、負を含めいろいろと組合わせることにより、サンプリング $X_n$ と $X_{n-1}$ との間だけでなく、それ以外の総ての点にゼロクロス点を持つような位相にもすることが可能である。

#### 図面の簡単な説明

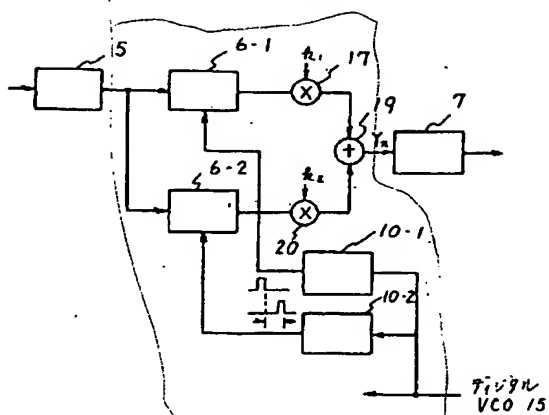
第1図は本発明によるタイミング位相制御方法を実施したモデムの位相制御部の構成を示す図、第2図および第3図は実施例の動作説明のための信号波形図、第4図、第5図、第6図、第7図、第8図は実施例の要部をなす移相回路の回路図、第9図は上記移相回路をマイクロプロセッサで実施する場合の構成図、第10図は上記第9図の動作説明のためのフローチャート図である。

1…入力端子、2…出力端子、3、7…サンプリング回路、4…A/D変換器及び復調器、5…タイミング信号成分抽出回路、6…移相回路、8…

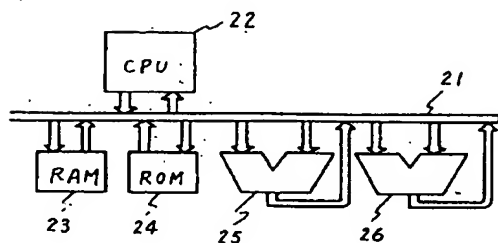
符号識別回路、9…2値量子化回路、10、12  
…分周器、11…ループフィルタ、13…パルス  
付加除去回路、14…パルス発振器、15…デ  
ジタルVCO、16…等化器、17、20、25  
…乗算器、18…遅延素子、19、26…加算器、  
21…コモンバス、22…マイクロプロセッサ、  
23…RAM、24…ROM。



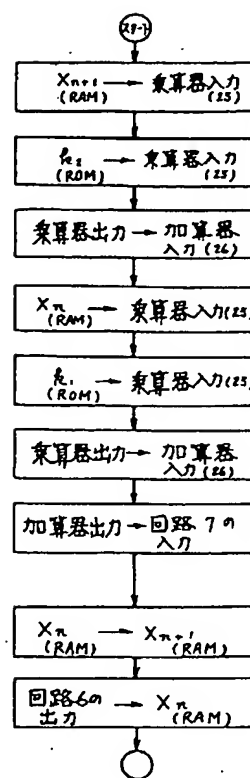
第 8 図



第 9 図



第 10 図



昭 64. 1.17 発行

特許法第17条の2の規定による補正の掲載

手 続 補 正 書 (自発)

昭和 56 年特許願第 189305 号(特開 昭  
58- 92162 号, 昭和 58 年 6 月 1 日  
発行 公開特許公報 58- 922 号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 7 ( 3 )

昭和63年 10 月 11 日

特許庁長官 殿

1. 事件の表示 昭和56年特許願第189305号
2. 発明の名称 タイミング位相制御方法及びその装置
3. 補正をする者  
事件との関係 特許出願人  
名 称 (510) 株式会社 日立製作所  
名 称 (542) 日立電子 株式会社
4. 代理人  
住 所 (〒100) 東京都千代田区丸の内一丁目5番1号  
新丸ノ内ビルディング3階44区(電話214-0502)  
氏 名 (6835) 弁理士 中 村 純 之 助
5. 補正の対象 明細書の発明の詳細な説明の欄
6. 補正の内容 添付別紙のとおり

Int. Cl. 4	識別記号	庁内整理番号
H04L 7/02		6914-5K

補正の内容

1. 明細書第8頁、第1、2行の「本発明実施」  
を「本実施例」に訂正する。
2. 明細書第8頁、第13行の「VCO」の後に  
「15」を加入する。
3. 明細書第8頁、第17行の「発振器15」を「発  
振器14」に訂正する。
4. 明細書第9頁、第13行の「信号 $x_{n+1}$ 」を「  
信号 $x_n$ 」に訂正する。
5. 明細書第11頁、第2行の「ループ、フィルタ  
11」を「ループフィルタ11」に訂正する。
6. 明細書第11頁、第3行の「分周器13」を「分  
周器12」に訂正する。

